

【事件番号】 訂正 2007-390003

【審決理由全文】

1. 審判請求の要旨

本件審判請求の要旨は、特許第 1761945 号(昭和 57 年 7 月 5 日特許出願、平成 5 年 5 月 28 日設定登録、平成 14 年 7 月 5 日存続期間満了により、権利登録抹消)の願書に添付した明細書及び図面を、本件審判請求書に添付した訂正明細書及び図面のとおり訂正することを求めるものである。

ただし、本件審判請求に先立って審判請求された訂正 2006-39051 号において、平成 18 年 6 月 1 日に、訂正許可を要旨とする審決が確定しているから、本件の願書に添付した明細書及び図面は、特許法第 128 条の規定により、訂正 2006-39051 号において、平成 18 年 5 月 16 日に提出された手続補正書(審判請求書)に添付の訂正明細書及び図面(以下、「本件特許明細書等」という。)により訂正された明細書及び図面である。

2. 訂正事項

[訂正事項 1]

本件特許明細書等の特許請求の範囲の

「(100)面を有し、且つ、高濃度 n 形基板(5)と、前記高濃度 n 形基板(5)の上に形成された低濃度 n 形層(4)と、前記低濃度 n 形層(4)の上に形成された p 形層(3)と、前記 p 形層(3)の上に形成された高濃度 n 形層(2)とを有するシリコン基板の表面に、長手方向が<110>方向と 45° の角度をなす矩形形状の凹部が形成され、前記矩形形状の凹部の側面をなす(010)または(001)面をチャンネルとして用い、前記高濃度 n 形層(2)をソース領域として用い、前記高濃度 n 形基板(5)に電極形成されたドレイン電極を備える縦型構造電界効果トランジスタ。」を

「(100)面を有し、且つ、高濃度 n 形基板(5)と、前記高濃度 n 形基板(5)の上に形成された低濃度 n 形層(4)と、前記低濃度 n 形層(4)の上に形成された p 形層(3)と、前記 p 形層(3)の上に形成された高濃度 n 形層(2)とを有するシリコン基板の表面に、直方体にエッチング形成された矩形形状の凹部であって前記直方体の長手方向が<110>方向と 45° の角度をなす矩形形状の凹部が形成され、前記矩形形状の凹部の側面をなす(010)または(001)面をチャンネルとして用い、前記高濃度 n 形層(2)をソース領域として用い、前記高濃度 n 形基板(5)に電極形成されたドレイン電極を備える縦型構造電界効果トランジスタ。」と訂正する。

[訂正事項 2]

本件特許明細書等の第 1 頁下から第 5 ないし 1 行の

「(100)面を有し、且つ、高濃度 n 形基板(5)と、前記高濃度 n 形基板(5)の上に形成された低濃度 n 形層(4)と、前記低濃度 n 形層(4)の上に形成された p 形層(3)と、前記 p 形層(3)の上に形成された高濃度 n 形層(2)とを有するシリコン基板の表面に、長手方向が<110>方向と 45° の角度をなす矩形形状の凹部が形成され、」を

「(100)面を有し、且つ、高濃度 n 形基板(5)と、前記高濃度 n 形基板(5)の上に形成された

低濃度 n 形層(4)と、前記低濃度 n 形層(4)の上に形成された p 形層(3)と、前記 p 形層(3)の上に形成された高濃度 n 形層(2)とを有するシリコン基板の表面に、直方体にエッチング形成された矩形の凹部であって前記直方体の長手方向が<110>方向と 45° の角度をなす矩形の凹部が形成され、」と訂正する。

[訂正事項 3]

本件特許明細書等の第 2 頁第 4 ないし 5 行の

「この構造によれば、パワー-MOSFT のオン抵抗をさらに小さくすることができる効果がある。」を

「この構造によれば、パワー-MOSFET のオン抵抗をさらに小さくすることができる効果がある。」と訂正する。

[訂正事項 4]

本件特許明細書等の第 2 図(a)を本件審判請求書に添付した図面の第 2 図(a)に(訂正事項 4-1)、本件特許明細書等の第 2 図(b)を本件審判請求書に添付した図面の第 2 図(b)に(訂正事項 4-2)、それぞれ訂正する。

[訂正事項 5]

本件特許明細書等の第 2 頁第 9 ないし 10 行の

「(100)面を有し、(110)面を方位規正面とするシリコン基板上で、」を

「(100)面を有し、(01-1)面を方位規正面とするシリコン基板上で、」(ただし、実際の記載では上記「-1」は、「1」の直上に「-」が付されている。以下同様。)と訂正する。

[訂正事項 6]

本件特許明細書等の第 2 頁第 18 行の

「次に、実際にパワー-MOSFT を作製する本発明の実施例について述べる。」を

「次に、実際にパワー-MOSFET を作製する本発明の実施例について述べる。」と訂正する。

3.訂正拒絶理由の概要

一方、当審において平成 19 年 2 月 7 日付けで通知した訂正拒絶理由では『4.むすび』において、『訂正事項 4 及び訂正事項 5 を含む本件訂正審判の請求は、願書に添付した明細書又は図面に記載した事項の範囲内においてなされたものではないから、平成 6 年改正前の特許法第 126 条第 1 項ただし書きの規定に適合しない。』と判断する根拠として、訂正事項 4 及び訂正事項 5 に対して以下の事項を通知した。

『[訂正事項 4 について]

訂正事項 4 についての訂正は、実質的に、本件特許明細書等の第 2 図(a)における「シリコン基板」の「方位規正面」の表記を「(01-1)」に訂正する(訂正事項 4-1)とともに、第 2 図(b)における「直方体にエッチングされた側面」の右上の結晶面の表記を「(001)」に訂正する(訂正事項 4-2)ものである。

《訂正事項 4-1 についての検討》

本件特許明細書等で方位規正面とされる(110)面は、シリコン基板の(100)面とは直交しないから、シリコン基板の面方位が(100)面であることが正しいとすれば、(110)面が方位規正面として誤記であることは明らかである。

しかし、本件特許明細書等には、上記「方位規正面」に関して、「(100)面を有し、(110)面を方位規正面とするシリコン基板上で、第2図(a)に示すように、 $\langle 110 \rangle$ 方向と 45° の角度をなす矩形の凹部pを作るようにエッチングを行う。」(第2頁第9ないし11行)と記載されているのみであるから、本来の正しい「方位規正面」が「(01-1)面」であることの明示的な記載は何らなされていない。

また、本件特許明細書等の「長手方向が $\langle 110 \rangle$ 方向と 45° の角度をなす矩形の凹部」(特許請求の範囲)及び「 $\langle 110 \rangle$ 方向と 45° の角度をなす矩形の凹部pを作るようにエッチングを行う」(第2頁第10ないし11行)という記載に基づいて、[110]方向と等価な方向を全て含む $\langle 110 \rangle$ 方向を法線とする結晶面の集合体である{110}面について検討すると、上記{110}面のうちで(100)面と直交する結晶面は、x成分が0であればy成分及びz成分の値は任意でよいから、複数存在する一方で、これらの結晶面のうち他の結晶面を除外して(01-1)面のみが本来の正しい方位規正面であることは、本件特許明細書等に根拠となる記載がされておらず、また、当業者の技術常識を勘案しても自明であるとはいえない。

したがって、訂正事項4-1についての訂正は、願書に添付した明細書又は図面に記載した事項の範囲内においてなされたものとはいえない。

《訂正事項4-1及び訂正事項4-2についての検討》

上記《訂正事項4-1について》の検討内容を踏まえると、本件特許明細書等の第2図(a)におけるシリコン基板の結晶面の表記である「(100)」が正しいとすれば、方位規正面の表記である「(110)」は誤記であるから、本件特許明細書等の第2図(a)及び第2図(b)に誤記である方位規正面の「(110)」を除いて記載された結晶面の面方位は以下のとおりである。

- (1)シリコン基板の結晶面である「(100)」(第2図(a)及び第2図(b))
- (2)直方体にエッチングされた側面のうち右下の結晶面である「(010)」(第2図(b))
- (3)直方体にエッチングされた側面のうち左下の結晶面である「(001)」(第2図(b))

上記の(1)ないし(3)が同時に成り立つとすると、面方位を規定するためのx軸([100]軸)、y軸([010]軸)及びz軸([001]軸)の配置を右手系(右手の親指をx軸、人差し指をy軸、中指をz軸とする座標系)にすることができないから、上記(1)ないし(3)のいずれか1つは誤りであるが、(100)面のシリコン基板が通常よく用いられることは当業者の技術常識であるから、上記の(1)は誤記であるとはいえない。

したがって、以下の検討では、

- ・上記(1)及び(2)が正しいとした場合(以下、「条件A」という。)、及び
- ・上記(1)及び(3)が正しいとした場合(以下、「条件B」という。)

について、方位規正面及び直方体にエッチングされた側面のもう一方の結晶面を導出する。
[条件A](上記(1)及び(2)が正しいとした場合)

(A-1)上記(1)より、[100]軸(x軸)は、紙面に垂直な方向で、向きは紙面の裏側から表側となる。

(A-2)上記(2)より、[010]軸(y軸)は、紙面に平行な方向で、向きは左斜め上 45° となる。

(A-3)上記(A-1)及び(A-2)で、[100]軸(x軸)及び[010]軸(y軸)が決定したので、[001]軸(z軸)は、座標系が右手系になるように配慮すると、紙面に平行な方向で、向きは左斜め下 45° となる。

(A-4)上記(A-1)ないし(A-3)で決定した[100]軸(x軸)、[010]軸(y軸)、及び[001]軸(z軸)に基づくと、

- ・方位規正面:(0-11)面

- ・直方体にエッチングされた側面のうち左下の結晶面:(00-1)面(したがって、直方体にエッチングされた側面のうち右上の結晶面は(001)面)

となる。

[条件 B](上記(1)及び(3)が正しいとした場合)

(B-1)上記(1)より、[100]軸(x軸)は、紙面に垂直な方向で、向きは紙面の裏側から表側となる。

(B-2)上記(3)より、[001]軸(z軸)は、紙面に平行な方向で、向きは右斜め上 45° となる。

(B-3)上記(B-1)及び(B-2)で、[100]軸(x軸)及び[001]軸(z軸)が決定したので、[010]軸(y軸)は、座標系が右手系になるように配慮すると、紙面に平行な方向で、向きは右斜め下 45° となる。

(B-4)上記(B-1)ないし(B-3)で決定した[100]軸(x軸)、[010]軸(y軸)、及び[001]軸(z軸)に基づくと、

- ・方位規正面:(01-1)面

- ・直方体にエッチングされた側面のうち右下の結晶面:(0-10)面

となる。(なお、(B-2)より、直方体にエッチングされた側面のうち右上の結晶面は(00-1)面となる。)

上記の[条件 A]及び[条件 B]のいずれの場合においても、本件審判請求書に添付した図面の第 2 図(a)及び第 2 図(b)に記載の

- ・方位規正面が「(01-1)」面であって、かつ、

- ・直方体にエッチングされた側面の右上の結晶面が「(001)」面

とはならないから、訂正事項 4-1 及び補正事項 4-2 についての訂正は、願書に添付した明細書又は図面に記載した事項の範囲内においてなされたものとはいえない。

[訂正事項 5 について]

訂正事項 5 についての訂正は、本件特許明細書等の第 2 頁第 9 ないし 10 行の「(100)面を有し、(110)面を方位規正面とするシリコン基板上で、」という記載における「(110)」を「(01-1)」と訂正するものであるから、上記の[訂正事項 4 について]で検討したとおりの理由によって、願書に添付した明細書又は図面に記載した事項の範囲内においてなされたも

のとはいえない。』

4. 手続補正の適否

これに対して、平成 19 年 2 月 23 日付けの手続補正によって、上記訂正事項 4 及び訂正事項 5 が削除されるとともに、これに伴って、上記訂正事項 6 が訂正事項 4 に繰り上げられた。

上記手続補正は、訂正事項を削除するものであり、訂正請求の要旨を変更するものではないから、上記手続補正を認める。

5. 訂正の目的の適否、新規事項の有無、拡張・変更の存否

以下、上記手続補正を認め、上記訂正事項 4 及び訂正事項 5 を削除し、上記訂正事項 6 を訂正事項 4 とした上で判断を行う。

[訂正事項 1 について]

訂正事項 1 についての訂正は、訂正前の特許請求の範囲の第 1 項に記載された発明である「縦型構造電界効果トランジスタ」の「矩形状の凹部」が「直方体にエッチング形成された」ものであることを限定するとともに、「前記直方体の長手方向が<110>方向と 45° の角度をなす」ことを明確化するためのものであるから、特許請求の範囲の減縮及び明りょうでない記載の釈明を目的とするものである。

そして、本件特許明細書等の「(100)面を有し、(110)面を方位規正面とするシリコン基板上で、第 2 図(a)に示すように、<110>方向と 45° の角度をなす矩形状の凹部 p を作るようにエッチングを行う。ただし、シリコン・エッチングは第 2 図(b)(第 2 図(b)は第 2 図(a)の凹部 p の拡大図である。)に示すように、(100)表面に対して垂直にエッチングを行う。この時、直方体にエッチングされた側面は、第 2 図(b)に示すようにそれぞれ(010)、(001)面となり、(100)面と等価な面である。」(第 2 頁第 9 ないし 15 行)という記載から、「矩形状の凹部 p」が「直方体にエッチングされた」ことは明らかであり、また、上記記載と併せて第 2 図(b)を参酌すれば、「直方体にエッチングされた」「矩形状の凹部 p」の長手方向が「<110>方向と 45° の角度をなす」ことも明らかである。

したがって、訂正事項 1 についての訂正は、願書に添付した明細書又は図面に記載した事項の範囲内においてなされたものであり、実質上特許請求の範囲を拡張し、又は変更するものでもない。

[訂正事項 2 について]

訂正事項 2 についての訂正は、発明の詳細な説明の記載を訂正後の特許請求の範囲の記載に整合させるためのものであるから、明りょうでない記載の釈明を目的とするものであり、[訂正事項 1 について]で検討したとおりの理由により、願書に添付した明細書又は図面に記載した事項の範囲内においてなされたものであり、実質上特許請求の範囲を拡張し、又は変更するものでもない。

[訂正事項 3 について]

訂正事項 3 についての訂正は、本件特許明細書等の第 2 頁第 4 ないし 5 行の「この構造によれば、パワー MOSFT のオン抵抗をさらに小さくすることができる効果がある。」という記載における明らかな誤記である「MOSFT」を「MOSFET」に訂正するものであるから、誤記の訂正を目的とするものであって、実質上特許請求の範囲を拡張し、又は変更するものではないことも明らかである。

[訂正事項 4 について]

訂正事項 4 についての訂正は、本件特許明細書等の第 2 頁第 18 行の「次に、実際にパワー MOSFT を作製する本発明の実施例について述べる。」という記載における明らかな誤記である「MOSFT」を「MOSFET」に訂正するものであるから、誤記の訂正を目的とするものであって、実質上特許請求の範囲を拡張し、又は変更するものではないことも明らかである。

以上のとおり、本件訂正審判の請求は、平成 6 年改正前の特許法第 126 条第 1 項及び第 2 項の規定に適合し、特許請求の範囲を訂正する訂正事項 1 についての訂正は、同法同条第 1 項ただし書き第 1 号に掲げる特許請求の範囲の減縮を目的とするものである。

そこで、以下では、本件訂正後における特許請求の範囲に記載されている事項により構成される発明が同法同条第 3 項に規定された独立特許要件を満たすか否かについて検討する。

6. 独立特許要件

(1) 本件訂正後における特許請求の範囲に記載されている事項により構成される発明

本件訂正後における特許請求の範囲に記載されている事項により構成される発明(以下「本件訂正発明」という。)は、次のとおりのものである。

「(100)面を有し、且つ、高濃度 n 形基板(5)と、前記高濃度 n 形基板(5)の上に形成された低濃度 n 形層(4)と、前記低濃度 n 形層(4)の上に形成された p 形層(3)と、前記 p 形層(3)の上に形成された高濃度 n 形層(2)とを有するシリコン基板の表面に、直方体にエッチング形成された矩形形状の凹部であって前記直方体の長手方向が<110>方向と 45° の角度をなす矩形形状の凹部が形成され、前記矩形形状の凹部の側面をなす(010)または(001)面をチャンネルとして用い、前記高濃度 n 形層(2)をソース領域として用い、前記高濃度 n 形基板(5)に電極形成されたドレイン電極を備える縦型構造電界効果トランジスタ。」

(2) 刊行物記載の発明

(a) 刊行物 1: 特開昭 55-148438 号公報

本件の出願日前に日本国内において頒布された上記刊行物 1 には、第 1 図ないし第 5 図とともに、以下の事項が記載されている。

「本発明による方法に従って、複数の垂直な又は垂直線から僅かに傾斜した U 形溝を有す

る、相互に誘電体分離された MOSFET の高密度のマトリックスが達成される。」(第 3 頁左上欄第 16 ないし 19 行)

「本発明による方法に従つて形成された改良された構造体の密度はその VMOS 型素子構造体の密度の約 2 倍である。」(第 3 頁右上欄第 11 ないし 14 行)

「相互に誘電体分離された高密度の MOSFET 素子のマトリックスを形成するための本発明による方法は反応性イオン食刻技術を用いている。反応性イオン食刻技術は、VMOS の製造方法に於て用いられている異方性食刻よりも相当に有利である。」(第 3 頁右上欄第 18 行ないし同頁左下欄第 3 行)

「反応性イオン食刻方法は食刻されている単結晶シリコンの結晶方向に依存せず、U 形溝の深さは所望の任意の深さでよい。」(第 3 頁左下欄第 12 ないし 15 行)

「第 1 図に示されている構造体は、説明のため P-型として示されている単結晶シリコン基板 10、該基板 10 上の P 型層 12、及び該 P 型層 12 上の N+型層 14 を含む。… 好ましい技術に於ては、… <100>結晶方向の P-型単結晶シリコン基板 10 が設けられる。… 次に、第 1 図に示されている構造体に反応性イオン食刻方法が施される。… その方法は、従来技術により層 14 の表面上に付着された、2 酸化シリコン層から成り得るマスク層(図示せず)又は 2 酸化シリコン層或は窒化シリコン層を含むマスク層の組合せを形成することを含む。U 形の第 1 開孔が必要とされる領域に於て、上記マスク層中に開孔が形成される。… 例えば塩素の種を含むことにより反応性にされた高周波誘導プラズマが用いられる。… 反応性イオン食刻又はプラズマの雰囲気は、アルゴンの如き不活性ガスと塩素の種との組合せであることが好ましい。… この食刻の所望の結果が第 2 図に示されており、少くとも部分的に P-型基板 10 中に延びる実質的に U 形の第 1 開孔又は溝 16 が示されている。それらの第 1 開孔又は溝 16 は… 垂直線から約 2 乃至 20 度以上傾斜していることが重要である。それは、後にそれらの溝の充填のために付着が行われるとき、溝の上部付近に於て溝の底部よりも僅かに厚い付着が生じるためである。

この方法に於ける次の工程は、誘電体分離領域 18 を設けるために、開孔 16 を誘電体材料で充填することである。…

次に、第 3 図に示されている如く、誘電体表面層 20、層 14、及び層 12 を経て基板 10 中に延びる反応性イオン食刻された実質的に U 形の第 2 開孔又は溝 22 が形成される。反応性イオン食刻された U 形の第 2 開孔 22 は前述の… 如き方法によつて形成される。… その結果、垂直線から僅かに傾斜した、好ましくは 2 乃至 10 度傾斜した、実質的に U 形の第 2 開孔が形成される。… それらの第 2 開孔 22 内の表面上にゲート誘電体層 24 を形成するために、基体が… 酸化雰囲気に対して曝される。…

第 4 図は、本発明による 1 つの方法に従つて形成された構造体を示している。第 4 図に示されている構造体を形成するためには、ゲート誘電体層即ち 2 酸化シリコン層 24 で被覆された第 2 開孔 22 中に、ドーブされた多結晶シリコン層 26 を付着することが必要である。… N+型領域 30 は RAM セルのためのビット線として働き得る。FET のためのチャンネルは

P型領域 34 である。ドーピングされた多結晶シリコン層で充填された第 2 開孔即ちドーピングされた多結晶シリコン層 26 はゲート電極である。この 1 素子型 MOSFET・RAM セルのキャパシタは、ゲート誘電体層 24 及びゲート電極 26 の周囲に於て P-型基板 10 中に形成された空乏領域 25 である。

第 5 図は第 4 図の平面図であり、第 4 図は第 5 図の線 4-4 に於ける縦断面図である。」(第 4 頁右上欄第 12 行ないし第 6 頁左上欄第 4 行)

ここで、刊行物 1 には、上記「第 2 開孔 22」の形状について、「垂直線から僅かに傾斜した、好ましくは 2 乃至 10 度傾斜した、実質的に U 形の第 2 開孔が形成される。」(第 5 頁左下欄第 6 ないし 8 行)と記載されているものの、一方で「本発明による方法に従つて、複数の垂直な又は垂直線から僅かに傾斜した U 形溝を有する、相互に誘電体分離された MOSFET の高密度のマトリックスが達成される。」(第 3 頁左上欄第 16 ないし 19 行)という記載もされており、当該記載は「U 形溝」の形状が「垂直」である場合と「垂直線から僅かに傾斜した」場合のいずれかを択一的に選択できることを意味する。

また、第 4 図に示された「MOSFET・RAM セル」完成後の段階においては、「P 型層 12」が「FET のためのチャンネル」となる「P 型領域 34」であり、「N+型層 14」が「RAM セルのためのビット線として働き得る」「N+型領域 30」であることは明らかである。

したがって、刊行物 1 には以下の発明(以下「刊行物発明」という。)が記載されている。

「<100>結晶方向の P-型単結晶シリコン基板 10 と、該シリコン基板 10 の上に形成された P 型層 12 と、該 P 型層 12 の上に形成された N+型層 14 と、前記 N+型層 14 及び P 型層 12 を経て前記シリコン基板 10 中に延びて形成された垂直な U 形の開孔 22 とを備え、前記 P 型層 12 をチャンネルとして用いるとともに、前記 N+型層 14 をビット線として用いた MOSFET・RAM セル。」

(b)刊行物 2:特公昭 42-21446 号公報

本件の出願日前に日本国内において頒布された上記刊行物 2 には、以下の事項が記載されている。

「本発明の目的はキャリア易動度の大きい、従がつて高周波特性の改善された絶縁ゲート型電界効果トランジスタを提供するにある。 …

そして本発明は半導体基体表面が絶縁物被膜で覆われて成る半導体装置において、前記被膜で覆われた前記基体の表面は {100} 面 … あるいはそれらの面の近傍の面に平行な結晶面を有し、該面の表面キャリア密度は到達し得る最小の値を有することを基本的特徴とする。」(第 2 頁左欄第 13 ないし 23 行)

「電子移動度 μd が大きいことは、ゲート電圧変化に対するコンダクタンス変化の大きいこと即ち電圧感度が大なることを意味しており、特に MOS 型の電界効果型トランジスタを製

造する上に有利である。以上の実験から … {100} 面結晶を半導体装置として用いた方が {111} 面の半導体装置に比べて、優れた特性および効果を示すことが解釈できるであろう。」(第3頁左欄第9ないし16行)

「本発明の思想は電界効果型トランジスタに限定されることなくプレーナートランジスタに応用した場合においては表面キャリア密度を極めて小さくすることができるので … 電気的特性が良好かつ安定なものを得ることができる。」(第3頁右欄下から第4行ないし第4頁左欄第2行)

「半導体表面の少なくとも一部が絶縁物被膜で覆われてなる半導体基板を含み、前記被膜で覆われた半導体表面は {100} 面に平行なあるいはその近傍の面に平行な結晶面を有し、前記被膜によつて前記表面に誘起されるキャリアの表面密度は到達し得る最小の値を有することを特徴とする半導体装置。」(特許請求の範囲第1項)

(3)対比・判断

本件訂正発明と刊行物発明とを対比する。

なお、以下では、平成19年2月23日に提出された手続補正書(審判請求書)に添付の訂正明細書及び図面を「本件訂正明細書等」という。

(a)刊行物発明の「<100>結晶方向」は、結晶面の法線方向を意味する表記であるから、刊行物発明の「<100>結晶方向の」「単結晶シリコン基板」は、(100)面を有する「単結晶シリコン基板」と技術的に同等である。

したがって、刊行物発明の「<100>結晶方向の」「単結晶シリコン基板」は、本件訂正発明の「(100)面を有」する「基板」に相当する。

(b)刊行物発明の「P型層」は、「チャンネルとして用いる」ものであり、一方、本件訂正明細書等には、本件訂正発明の「p型層」について、「p型層 … は … チャンネル領域 … を形成する。」(第2頁第26ないし27行)と記載されているから、刊行物発明の「P型層」は、本件訂正発明の「p型層」に相当する。

(c)刊行物発明の「N+型層」は、「ビット線として用い」るものであり、キャパシタに電荷が蓄積されているか否かで情報を記録するメモリセルでは、キャパシタに接続されるMOSFETのゲート電極をワード線に、ソース電極又はドレイン電極のうち、いずれか一方をビット線に、他方をキャパシタにそれぞれ接続して用いることは当業者の技術常識であるから、前者の接続をした場合に、刊行物発明の「ビット線として用い」る「N+型層」がソース領域として用いられることは明らかである。

一方、本件訂正発明の「高濃度n型層」は、「ソース領域として用い」られるから、刊行物発明の「N+型層」は、本件訂正発明の「高濃度n型層」に相当する。

(d)本件訂正発明では、「高濃度n形基板(5)の上に形成された低濃度n形層(4)と、前記低濃度n形層(4)の上に形成されたp形層(3)」という積層構造、すなわち、「p形層(3)」が「高濃度n形基板(5)」に接することなく「低濃度n形層(4)」を介して「高濃度n形基板(5)」の

上に形成され」た積層構造を備えているが、このような場合でも、「p形層(3)」は「高濃度n形基板(5)の上に形成されて」いるから、上記(a)ないし(c)で検討した対応関係も併せて判断すると、刊行物発明の「シリコン基板」「と、該シリコン基板」の上に形成されたP型層」「と、該P型層」の上に形成されたN+型層」とを備える積層構造は、本件訂正発明の「基板」「と、前記「基板」の上に形成された」「p型層」「と、前記p型層」の上に形成された高濃度n型層」とを有するシリコン基板」に相当する。

(e)刊行物発明は、「P型層12を経て」「シリコン基板10中に延びて形成された垂直なU形の開孔22を備え」た構造を備えており、また、刊行物1には、第4図とともに「第4図は、本発明による1つの方法に従って形成された構造体を示している。第4図に示されている構造体を形成するためには、ゲート誘電体層即ち2酸化シリコン層24で被覆された第2開孔22中に、ドーパされた多結晶シリコン層26を付着することが必要である。…ドーパされた多結晶シリコン層で充填された第2開孔即ちドーパされた多結晶シリコン層26はゲート電極である。」と記載されているように、「U形の開孔22」内に「ゲート誘電体層」を介して「ゲート電極」が形成されることが記載されているから、刊行物発明の「垂直なU形の開孔22」の側面の一部を形成する「P型層12」を「チャンネルとして用いる」ことは明らかである。

したがって、刊行物発明の「U形の開孔」は、本件訂正発明の「凹部」に相当し、刊行物発明において「P型層」をチャンネルとして用いる」ことは、本件訂正発明において「凹部の側面」をチャンネルとして用い」ることに相当する。

(f)刊行物発明の「MOSFET・RAMセル」は、「MOSFET」を備えており、また、「P型層12を経て」「シリコン基板10中に延びて形成された垂直なU形の開孔22を備え」た構造を備えているから、「チャンネルとして用いる」「P型層」中を流れる電子の方向が、「シリコン基板10」の表面に「垂直な」方向であること、すなわち、刊行物発明の「MOSFET・RAMセル」が備える「MOSFET」が縦型であることは明らかである。

したがって、刊行物発明の「MOSFET・RAMセル」は、本件訂正発明の「縦型構造電界効果トランジスタ」に相当する。

上記(a)ないし(f)の検討内容を踏まえると、本件訂正発明と刊行物発明は、

「(100)面を有する基板と、前記基板の上に形成されたp型層と、前記p型層の上に形成された高濃度n型とを有するシリコン基板の表面に凹部が形成され、前記凹部の側面をチャンネルとして用いた縦型電界効果トランジスタ。」

である点で一致し、以下の点で相違する。

[相違点1]

本件訂正発明は、「高濃度n形基板(5)と、前記高濃度n形基板(5)の上に形成された低濃度n形層(4)と、前記低濃度n形層(4)の上に形成されたp形層(3)と」「を有する」とともに、「前

記高濃度 n 形基板(5)に電極形成されたドレイン電極を備える」のに対して、刊行物発明は、「P-型単結晶シリコン基板 10 と、該シリコン基板 10 の上に形成された P 型層 12 と」を備える点。

[相違点 2]

本件訂正発明は、「シリコン基板の表面に、直方体にエッチング形成された矩形の凹部であって前記直方体の長手方向が<110>方向と 45° の角度をなす矩形の凹部が形成され、前記矩形の凹部の側面をなす(010)または(001)面をチャンネルとして用い」るのに対して、刊行物発明は、「N+型層 14 及び P 型層 12 を経て」「シリコン基板 10 中に延びて形成された垂直な U 形の開孔 22 とを備え、前記 P 型層 12 をチャンネルとして用いた」点。

上記相違点について検討する。

[相違点 1 について]

(a)相違点 1 は、実質的に、本件訂正発明は、「高濃度 n 形基板(5)」と「前記高濃度 n 形基板(5)に電極形成されたドレイン電極を備える」のに対して、刊行物発明は、「P-型単結晶シリコン基板 10」を備えるとともに「P-型単結晶シリコン基板 10」に直接接続された電極が設けられていない点、及び、本件訂正発明は「基板(5)の上に」「低濃度 n 形層(4)」を介して「p 形層(3)」が形成されているのに対して、刊行物発明は、「単結晶シリコン基板 10」「の上に」他の層を介することなく「P 型層 12」形成されている点に分けて整理することができる。

(b)本件訂正発明が「高濃度 n 形基板(5)」と「前記高濃度 n 形基板(5)に電極形成されたドレイン電極を備える」のは、本件訂正発明が「縦型構造電界効果トランジスタ」として動作するために、ドレイン領域となる「高濃度 n 形基板(5)」と「前記高濃度 n 形基板(5)に電極形成されたドレイン電極」とを通じてドレイン電流を取り出す必要があるためであること、及び、本件訂正発明において「基板(5)の上に」「低濃度 n 形層(4)」を介して「p 形層(3)」が形成されている、すなわち、「基板(5)」とチャンネル領域である「p 形層(3)」との間に「低濃度 n 形層(4)」を形成するのは、本件訂正明細書等に「本発明は … とりわけ大電力用の縦型 MOSFET に関する。」(第 1 頁第 14 ないし 15 行)と記載されているように、「大電力用の縦型 MOSFET」としての使用を前提に高耐圧化の必要があるためであることは、いずれも当業者の技術常識を踏まえれば明らかなことである。

(c)一方、刊行物発明が「P-型単結晶シリコン基板 10」を備えるとともに「P-型単結晶シリコン基板 10」に直接接続された電極が設けられていないのは、「MOSFET・RAM セル」である刊行物発明が、高密度化のために MOSFET と電荷蓄積用のキャパシタとが一体に形成された特殊な構造であって、刊行物 1 に第 4 図とともに「この 1 素子型 MOSFET・RAM セルのキャパシタは、ゲート誘電体層 24 及びゲート電極 26 の周囲に於て P-型基板 10 中に形成された空乏領域 25 である。」(第 5 頁右下欄第 19 行ないし第 6 頁左上欄第 2 行)と記載されているように、キャパシタとして機能する「P-型基板 10 中に形成された空乏領域 25」

が、「P-型基板 10」に形成された「U 形の開孔 22」の底面及び側面にわたって形成された「空乏領域 25」であるためであって、「P-型基板 10」に直接接続された電極を設けると、キャパシタとして機能する「P-型基板 10 中に形成された空乏領域 25」に対して所望でない電荷の充放電が生じて刊行物発明がメモリセルとして機能しなくなるためである。

(d)したがって、「MOSFET・RAM セル」である刊行物発明において、「P-型単結晶シリコン基板 10」の導電型を高濃度の n 型にするとともに、これに直接接続された電極を設けることは、このようにすると刊行物発明がメモリセルとして機能しなくなることは明らかである以上、当業者であっても容易になし得たこととはいえず、また、「MOSFET・RAM セル」である刊行物発明には「大電力用の縦型 MOSFET」としての使用を前提とした本件訂正発明ほどの高耐圧化は要しないから、刊行物発明において「シリコン基板 10」と「チャネルとして用い」る「P 型層 12」との間に、敢えて低濃度 n 型層を設けることも当業者が容易になし得たこととはいえない。

[相違点 2 について]

(a)刊行物 2 には、プレーナー型の絶縁ゲート型電界効果トランジスタにおいて、「{100} 面結晶を半導体装置として用いた方が {111} 面の半導体装置に比べて、優れた特性および効果を示すことが解釈できる」(第 3 頁左欄第 14 ないし 16 行)と記載されているものの、プレーナー型の絶縁ゲート型電界効果トランジスタが形成された {100} 面のシリコン基板表面と同等の結晶性と表面状態とを有する {100} 面をシリコン基板表面と垂直な面にも形成し得ることについては、何ら記載がない。

(b)一方、刊行物 1 には「反応性イオン食刻方法は食刻されている単結晶シリコンの結晶方向に依存せず、U 形溝の深さは所望の任意の深さでよい。」(第 3 頁左下欄第 12 ないし 15 行)と、シリコン基板のエッチング手段として反応性イオン食刻方法を用いれば結晶方向に依存せずに「U 形溝」が形成できることが記載されているが、当該記載は、刊行物 1 に「本発明による方法に従って形成された改良された構造体の密度はその VMOS 型素子構造体の密度の約 2 倍であ … る。」(第 3 頁右上欄第 11 ないし 14 行)及び「相互に誘電体分離された高密度の MOSFET 素子のマトリクスを形成するための本発明による方法は反応性イオン食刻技術を用いている。反応性イオン食刻技術は、VMOS の製造方法に於て用いられている異方性食刻よりも相当に有利である。」(第 3 頁右上欄第 18 行ないし同頁左下欄第 3 行)と記載されているように、反応性イオン食刻方法は、従来の VMOS の製造方法で用いられていた異方性食刻に比べて基板に垂直なエッチングが可能である点において、より高密度の素子形成を行う際に有利であることを意味するのに止まり、反応性イオン食刻方法によって、実際に(100)面のシリコン基板表面と同等の結晶性と表面状態とを有する(100)面をシリコン基板表面と垂直な面にも形成し得ることまでは、刊行物 1 には記載されていない。

(c)以上のとおり、刊行物 1 及び刊行物 2 のいずれにも、(100)面のシリコン基板表面と同等の結晶性と表面状態とを有する(100)面をシリコン基板表面と垂直な面にも形成し得ることは何ら記載されていないから、当業者が、刊行物 2 の記載に基づいて、刊行物発明の「垂

直な U 形の開孔 22」の側面を、反応性イオン食刻方法を用いて(100)面のシリコン基板表面と同等の結晶性と表面状態とを有する(100)面になるように試みることは可能であったとしても、実際に、(100)面のシリコン基板表面と同等の結晶性と表面状態とを有する(100)面をシリコン基板表面と垂直な面にも形成し得るか否かを見極めるとともに、可能である場合にはいかなる条件を要するのかを見出すことは、この点について刊行物 1 及び刊行物 2 に何ら具体的な指針となる記載がされていない以上、当業者に通常の創作能力を超えた過度の試行錯誤を要することとなる。

(d)したがって、刊行物発明において、本件訂正発明の「シリコン基板の表面に、直方体にエッチング形成された矩形状の凹部であって前記直方体の長手方向が $\langle 110 \rangle$ 方向と 45° の角度をなす矩形状の凹部が形成され、前記矩形状の凹部の側面をなす(010)または(001)面をチャンネルとして用い」ることに相当する構成を備えるようにすることは、当業者であっても、容易になし得たこととはいえない。

したがって、本件訂正発明は、刊行物 1 及び刊行物 2 に記載された発明に基づいて当業者が容易に発明をすることができたものとはいえず、また、他に本件訂正発明が特許出願の際、独立して特許を受けることができないとする理由もないから、平成 6 年改正前の特許法第 126 条第 3 項に規定された独立特許要件を満たしている。

7.むすび

以上のとおりであるから、本件訂正審判の請求は、平成 6 年改正前の特許法第 126 条第 1 項ないし第 3 項の規定に適合する。

よって、結論のとおり審決する。