

【事件番号】 不服 2007-5557

【審決理由全文】

#### 1. 手続の経緯

本願は、特許法第 41 条に基づく優先権主張を伴う平成 4 年 11 月 27 日(優先日:平成 3 年 11 月 28 日,特願平 3-314297 号;平成 4 年 2 月 19 日,特願平 4-31756 号;平成 4 年 8 月 31 日,特願平 4-230914 号)の出願である特願平 4-318159 号の発明の一部を新たな出願(特願 2002-320623 号)とし、

さらにその発明の一部を新たな出願(特願 2003-432025 号)とし、

その出願の発明の一部を新たな出願としたものであって、拒絶査定以後の手続きの経緯は次のとおりである。

拒絶査定 平成 19 年 1 月 18 日付

審判請求、手続補正 平成 19 年 2 月 22 日

拒絶理由通知 平成 19 年 7 月 17 日付

意見書、手続補正 平成 19 年 9 月 25 日

#### 2. 本願発明

本願の特許請求の範囲の請求項 1 に係る発明(以下「本願請求項 1 の発明」という。)は、補正された明細書及び図面の記載からみて、平成 19 年 9 月 25 日付け手続補正書により補正された特許請求の範囲の請求項 1 に記載されたとおりの次の事項により特定されるものである。

「処理装置と主メモリとを含む機器と、記憶装置とを備えた情報機器において、前記処理装置と主メモリとを含む機器は、前記記憶装置へアクセスして、前記記憶装置にデータの読み書きを行い、

前記記憶装置は、電氣的に消去可能なフラッシュメモリと、前記処理装置と主メモリとを含む機器からのアクセス要求に応答して、前記フラッシュメモリをアクセスするための制御部とを備え、

前記フラッシュメモリは、セクタ単位でデータを記憶可能で、

前記制御部は、前記処理装置と主メモリとを含む機器からの書き込み要求が既にデータが書き込まれている論理セクタへの書き換え要求である場合に、書き換えが局所に集中するのを防ぐために、次のデータの書き込みをするセクタを示すポインタをインクリメントすることによってデータが書き込まれていなくて書き込み可能なセクタをさがし出し、前記データが書き込まれていなくて書き込み可能なセクタに、前記処理装置と主メモリとを含む機器からの書き込み要求に伴うデータを書き込み、前記論理セクタに対応する古いセクタを消去のために無効にし、

前記処理装置と主メモリとを含む機器は、前記記憶装置へ電源を供給し、

前記処理装置と主メモリとを含む機器は、前記処理装置と主メモリとを含む機器の電源オ

フをユーザから受けても、前記記憶装置が動作を終了するのを待ってから前記記憶装置への電源の供給を停止することを特徴とする情報機器。」

### 3.当審の拒絶の理由

当審において通知した拒絶の理由の概要は、次のとおりである。

本件出願の請求項 1?請求項 12 に係る発明は、その出願の日前の特許出願であって、その出願後に出願公告(特許掲載公報の発行)又は出願公開がされた下記の特許出願の願書に最初に添付された明細書又は図面に記載された発明と同一であり、しかも、この出願の発明者がその出願前の特許出願に係る上記の発明をした者と同一ではなく、またこの出願の時に、その出願人が上記特許出願の出願人と同一でもないので、特許法第 29 条の 2 の規定により特許を受けることができない。

記

特願平 3-197318 号(特開平 5-27924 号公報参照)

### 4.先願発明

特願平 3-197318 号(以下「先願」という。)の願書に最初に添付した明細書又は図面には、次の事項が記載されている。

A. 「【請求項 16】 ホスト・プロセッサと、フラッシュ・メモリで構成され、それぞれが少なくとも 1 つのセクタを含む複数のメモリ・ブロックから成る半導体メモリを備えた外部記憶システムと、該外部記憶システムと前記ホスト・プロセッサ間でデータおよびコマンドを転送するためのホスト・バスとを含むコンピュータ・システムにおいて、前記ホスト・プロセッサからのアドレスを特定のセクタの物理アドレスに変換するアドレス変換手段及び各メモリ・ブロックとその中の各セクタの状況を記録するブロック管理手段を用いて、前記コマンドに応じて前記半導体メモリの各セクタに対するデータの読出し、書込みおよびメモリ・ブロックの消去を制御する制御手段とを具備し、該制御手段は、前記ホスト・プロセッサからのコマンドに応答して前記半導体メモリの該当セクタに対するデータの書込み、読出しもしくはメモリ・ブロックの消去の処理を実行すると共に、これらの処理に伴って前記ブロック管理手段の各メモリ・ブロック及び各セクタの状況の記録を更新する手段を有する、ことを特徴とするコンピュータ・システム。」

B. 「【0010】 本発明の他の目的は、半導体メモリ内の特定のセクタだけが頻繁に書込み、消去されることがなく、全てのメモリが長期間有効に使用される半導体外部記憶システムを提供することにある。

…(中略)…

【0013】 …(中略)…外部記憶装置側では、ホストのコマンド処理に備えて、書き込みあるいは複写用のメモリ・ブロックやセクタを常に準備し、この選ばれたメモリ・ブロックやセクタの物理アドレスとホスト・コンピュータのコマンドとの対応関係を、アドレス変換表

に記録、保持する。

…(中略)…

【0014】 …(中略)…さらに、半導体メモリのメモリ・ブロックやセクタを総合的に管理し、利用効率を考慮して自由に物理アドレスを選定することができるので、半導体メモリ内の特定のメモリ・ブロックが不必要に頻繁に消去されることがなくなり、全てのメモリが長期間有効に使用される。

…(中略)…

【0018】 図 2 に、半導体外部記憶システム 20 の機能的な構成の詳細を示す。この半導体外部記憶システムは、ファミリー・バス 18 に接続された制御装置 30 と、半導体メモリ・バス 31 に接続されたフラッシュ・メモリ 32 とを含む。」

C. 「【0032】 次に、上記コマンド処理部 34 の各処理の詳細について述べる。最初はブロック管理表とアドレス変換表の初期化(図 7A、ステップ 702)である。図 9(図 9A,9B)は、このブロック管理表とアドレス変換表の初期化の処理の詳細である。ブロックの番号  $i$ 、セクタ番号  $j$  を初期化し空白セクタ数  $B(i,1)$ 、有効セクタ数、有効セクタの数  $B(i,2)$  を共にゼロにし(902,904)、セクタ管理表 60 からブロック  $i$  内の  $j$  番目のセクタの状況とポインタ  $L$  のデータ  $S(i,j)$  を得る(906)。もし、セクタが空白であればブロック  $i$  内の空白セクタの数  $B(i,1)$  に 1 を加える。セクタが空白でなければ、次にセクタが有効かチェックし、有効ならば、アドレス変換表 36 の  $L$  番目の  $A(L)$  に物理アドレス 68 を格納し(914)、有効セクタの数  $B(i,2)$  に 1 を加える(916)。以下同様にセクタ番号  $j$  がブロック  $i$  内のセクタ総数  $M$  になるまで同様の処理を行う(920)。さらに、全てのブロック  $N$  について同様の処理を繰り返す(922?924)。そして次にセクタ書き込みを行うブロックの番号  $i_w$ 、消去コマンドを受け取ったとき消去する候補ブロックの番号  $i_e$ 、消去時にデータの退避を行うべき空白ブロックの番号  $i_b$  を決定する(926)。

…(中略)…

【0036】 次に、セクタ書き込み処理(図 7A のステップ 714)について述べる。図 2 及び図 12 において、コマンド処理部 34 は、まず、ハッファ 37 からホスト CPU10 により与えられた論理アドレス  $L$  を得て、次にアドレス変換表 36 を検索し、物理アドレス  $A(L)$  を得る。さらにブロック管理表 35 を調べて、データ領域 70 の空白セクタ  $70N$  の位置を知る。そして、ホスト CPU10 から受け取ったデータをバッファ 37 から読み出し、この新しいデータを空白セクタ  $70N$  に書き込んで、その状況フラグ  $64N$  を「空白」から「有効」に、古いセクタ  $70A$  の状況フラグ  $64A$  を「有効」から「無効」に書換える。そして、ホスト CPU10 から指定された、論理アドレス 66 と新しいセクタ  $70N$  の物理アドレスの対応をアドレス変換表 36 に記憶すると共に、空白セクタ  $(i,1)$  数、有効セクタ数  $(i,2)$ 、空白セクタ総数  $B(i,1)$  に関しブロック管理表の記録を更新する。」

D. 「【0038】 次に、セクタ消去の手順(図 7B のステップ 718)を図 14?図 15 により詳細に説明する。図 15 において、コマンド処理部 34 は、あるメモリ・ブロック  $i$  のセクタの状況

フラグが「有効」から「無効」になるたびに、ポインタの値  $S(i,j)$  を無効とし(1508)、ブロック管理表のメモリ・ブロック  $i$  内の「有効」セクタの数  $B(i,2)$  を1つ減らす(1510)。これは、セクタ・データを論理的には消去し、物理的には有効のまま保持するものである。、そして、アドレス変換表の物理アドレス  $A(L)$  をゼロとし、残りの「有効」セクタの数を消去候補のメモリ・ブロック  $ie$  と比較し、所定値より少なくなると、このメモリ・ブロック  $i$  を次に消去すべきメモリ・ブロックの候補  $ie$  として選定する(1516)。

【0039】本実施例では、ブロック管理表やセクタ管理表に基づくブロックの消去処理により、「空白」セクタの数は常に一定の値以上確保される。この「空白」セクタは、書込み時や、消去時におけるデータの書込み先、複写先として用いられる。図 14 に示すように、あるメモリ・ブロック 321 内には、当初、「空白」セクタが多数存在しているが、漸次「有効」セクタそして「無効」セクタが増加してゆく。そして、このメモリ・ブロック 321 内に残る「有効」セクタ 70 の数が所定値より少なくなると、その「有効」セクタ 70 を他のメモリ・ブロック 322 内の「空白」セクタに複写し、次に、メモリ・ブロック 321 の内容を一括消去し、全てを「空白」セクタとする。」

E. 【0045】次に、図 21 は、本発明の他の実施例を示すもので、図 2 の例と比較すると、コマンド処理の機能 34 が、ホスト CPU10 によって提供される点で相違する。また、ブロック管理表 35、アドレス変換表 36 は、主記憶装置 15 上に置かれ(バッファを含めてもよい)、ホスト CPU から参照される。ホスト CPU10 は、セクタ読み出しやセクタ書き込みの際には、I/O バス 18 を通じてメモリ・コントローラ 80 に命令を送る。」

(A)A.に記載されたコンピュータ・システムにおける「書込み」として、C.の記載によれば、論理アドレス  $L$  を得て、アドレス変換表 36 を検索し、物理アドレス  $A(L)$  を得、さらにブロック管理表 35 を調べて、データ領域 70 の空白セクタ 70N の位置を知り、ホスト CPU10 から受け取ったデータを空白セクタ 70N に書込むものが示されている。

(B)B.C.の記載によれば、半導体メモリ内の特定のセクタだけが頻繁に書込み、消去されることがなく、全てのメモリが長期間有効に使用されるために、空白セクタに書込みされる。

(C)B.E.の記載によれば、外部記憶システム 20 は、制御手段といえる制御装置 30、又はメモリ・コントローラ 80 を備える。(図 2、図 21 を参照)

(D)C.の記載によれば、論理アドレス  $L$  のセクタ書込み処理は、新しいデータを空白セクタ 70N に書き込んで、その状況フラグ 64N を「空白」から「有効」に、古いセクタ 70A の状況フラグ 64A を「有効」から「無効」に書換えることから、既にデータが書き込まれている論理セクタへの書換えがされることが読み取れ、書換えにより古いセクタのデータは、空白セクタに新しいデータとして書換えられる。

また、セクタ管理表 60 からブロック  $i$  内の  $j$  番目のセクタの状況とポインタ  $L$  のデータ  $S(i,j)$  を得、もし、セクタが空白であればブロック  $i$  内の空白セクタの数  $B(i,1)$  に 1 を加え、セクタが空白でなければ、次にセクタが有効かチェックし、有効ならば、アドレス変換表 36 の

L番目のA(L)に物理アドレス68を格納し、有効セクタの数B(i,2)に1を加え、以下同様にセクタ番号jがブロックi内のセクタ総数Mになるまで同様の処理を行うことが記載されており、セクタを示すポインタS(i,j)のj番目のセクタを示すセクタ・アドレスjがMになるまでインクリメントして空白セクタかどうか状況を調べることが読み取れる。

(E)D.の記載によれば、セクタに対応する状況フラグが「無効」にされると、当該セクタデータは論理的に消去される。そして、ブロックの「無効」セクタが増加し「有効」セクタの数が所定値より少なくなったときに、「有効」セクタを他のメモリ・ブロック内の「空白」セクタに複写し、次いで、メモリ・ブロックの内容を一括消去する。よって、無効の状況フラグは論理セクタに対応するセクタデータを後で消去するために用いており、「論理セクタに対応する古いセクタを消去のために無効にし」ているといえる。

これらの点をふまえると、先願明細書又は図面には、次の発明(以下「先願発明」という。)が記載されていると認められる。

ホスト・プロセッサと、フラッシュ・メモリで構成され、それぞれが少なくとも1つのセクタを含む複数のメモリ・ブロックから成る半導体メモリを備えた外部記憶システムと、該外部記憶システムと前記ホスト・プロセッサ間でデータおよびコマンドを転送するためのホスト・バスとを含むコンピュータ・システムにおいて、

外部記憶システムは、前記ホスト・プロセッサからの論理アドレスを特定のセクタの物理アドレスに変換するアドレス変換手段及び各メモリ・ブロックとその中の各セクタの状況を記録するブロック管理手段を用いて、前記コマンドに応じて前記半導体メモリの各セクタに対するデータの読出し、書込み、およびメモリ・ブロックの消去を制御する制御手段を具備し、

該外部記憶システムの制御手段は、前記ホスト・プロセッサからの書込みのコマンドにตอบสนองして、論理アドレスを得てアドレス変換表を検索して物理アドレスを得、さらにブロック管理表を調べてデータ領域の空白セクタの位置を知り、ホストCPUから受け取ったデータを空白セクタに書込み、前記論理セクタに対応する古いセクタを消去のために無効にし、これらの処理に伴って前記ブロック管理手段の各メモリ・ブロック及び各セクタの状況の記録を更新する手段を有する、ことを特徴とするコンピュータ・システム。

## 5.本願請求項1の発明と先願発明との対比

本願請求項1の発明と先願発明とを対比すると、

(1)先願発明の「コンピュータ・システム」は本願請求項1の発明の「情報機器」に相当する。また、先願発明の、CPUと主記憶装置を備えることが自明(図21参照)の「ホスト・プロセッサと、半導体メモリを備えた外部記憶システムとを含むコンピュータ・システム」は、本願請求項1の発明の「処理装置と主メモリとを含む機器と、記憶装置とを備えた情報機器」に相当する。

(2)先願発明の「前記コマンドに応じて前記半導体メモリの各セクタに対するデータの読出し、書込み、およびメモリ・ブロックの消去を制御する」における「前記コマンド」とは、前記 CPU と主記憶装置を備える「ホスト・プロセッサ」(以下、単に「ホスト・プロセッサ」という。)からのコマンドであるから、先願発明において「前記コマンドに応じて前記半導体メモリの各セクタに対するデータの読出し、書込み、およびメモリ・ブロックの消去を制御する」ことはホストプロセッサから半導体メモリにデータの書込み、読出し等を行うことであり、本願請求項 1 の発明の、「前記処理装置と主メモリとを含む機器は、前記記憶装置へアクセスして、前記記憶装置にデータの読み書きを行」うことに相当する。

(3)先願発明の「外部記憶システム」は、「フラッシュ・メモリで構成され、それぞれが少なくとも 1 つのセクタを含む複数のメモリ・ブロックから成る半導体メモリを備えた」もの、すなわちフラッシュ・メモリを備えたものであるから、この点を併せて考えれば、先願発明の「前記コマンドに応じて前記半導体メモリの各セクタに対するデータの読出し、書込み、およびメモリ・ブロックの消去を制御する制御手段を具備し」ている点は、本願請求項 1 の発明の「記憶装置は、電氣的に消去可能なフラッシュメモリと、前記処理装置と主メモリとを含む機器からのアクセス要求に応答して、前記フラッシュメモリをアクセスするための制御部とを備え」た点に相当する。

(4)先願発明の「半導体メモリ」が「フラッシュ・メモリで構成され、それぞれが少なくとも 1 つのセクタを含む複数のメモリ・ブロックから成る」こと、及び、「制御手段」が「前記半導体メモリの各セクタに対するデータの読出し、書込み、およびメモリ・ブロックの消去を制御する」ことは、フラッシュ・メモリで構成された半導体メモリがセクタ単位でデータを記憶可能であることを示しているので、先願発明の前記事項は、本願請求項 1 の発明の「フラッシュメモリは、セクタ単位でデータを記憶可能」であることに相当する。

(5)先願発明の「該外部記憶システムの制御手段は、前記ホスト・プロセッサからの書込みのコマンドに応答して、論理アドレスを得てアドレス変換表を検索して物理アドレスを得、さらにブロック管理表を調べてデータ領域の空白セクタの位置を知り、ホスト CPU から受け取ったデータを空白セクタに書込み、前記論理セクタに対応する古いセクタを消去のために無効にし、これらの処理に伴って前記ブロック管理手段の各メモリ・ブロック及び各セクタの状況の記録を更新する手段を有する」(以下「特定事項ア」という。)において、「空白セクタに書込み」は、(B)で述べたように、半導体メモリの特定のセクタだけが頻繁に書込み、消去されることがないようにするためであり、「ブロック管理表を調べてデータ領域の空白セクタの位置を知り」には、(D)で述べたように、セクタを示すポインタをインクリメントすることによって空白セクタ、即ち、データが書き込まれていなくて書き込み可能なセクタ、の位置を知ることが含まれると解される。

これらの点を加味すれば、先願発明の特定事項アは、本願請求項 1 の発明の「制御部は、前記処理装置と主メモリとを含む機器からの書き込み要求が既にデータが書き込まれている論理セクタへの書き換え要求である場合に、書き換えが局所に集中するのを防ぐために、

次のデータの書き込みをするセクタを示すポインタをインクリメントすることによってデータが書き込まれていなくて書き込み可能なセクタをさがし出し、前記データが書き込まれていなくて書き込み可能なセクタに、前記処理装置と主メモリとを含む機器からの書き込み要求に伴うデータを書き込み、前記論理セクタに対応する古いセクタを消去のために無効にし」に相当する。

したがって、本願請求項 1 の発明と先願発明とは、次の特定事項を有する点で一致し、そして次の点で一応相違が認められる。

〈一致点〉処理装置と主メモリとを含む機器と、記憶装置とを備えた情報機器において、前記処理装置と主メモリとを含む機器は、前記記憶装置へアクセスして、前記記憶装置にデータの読み書きを行い、前記記憶装置は、電氣的に消去可能なフラッシュメモリと、前記処理装置と主メモリとを含む機器からのアクセス要求に応答して、前記フラッシュメモリをアクセスするための制御部とを備え、前記フラッシュメモリは、セクタ単位でデータを記憶可能で、前記制御部は、前記処理装置と主メモリとを含む機器からの書き込み要求が既にデータが書き込まれている論理セクタへの書き換え要求である場合に、書き換えが局所に集中するのを防ぐために、次のデータの書き込みをするセクタを示すポインタをインクリメントすることによってデータが書き込まれていなくて書き込み可能なセクタをさがし出し、前記データが書き込まれていなくて書き込み可能なセクタに、前記処理装置と主メモリとを含む機器からの書き込み要求に伴うデータを書き込み、前記論理セクタに対応する古いセクタを消去のために無効にする、ことを特徴とする情報機器。

〈相違点〉本願請求項 1 の発明が「前記処理装置と主メモリとを含む機器は、前記記憶装置へ電源を供給し、前記処理装置と主メモリとを含む機器は、前記処理装置と主メモリとを含む機器の電源オフをユーザから受けても、前記記憶装置が動作を終了するのを待ってから前記記憶装置への電源の供給を停止する」のに対し、先願発明は、この点を構成として具備していない点。

## 6.相違点についての当審判断

(1)本願請求項 1 の電源を供給することについての事項については、本願の国内優先権主張の基礎とする出願のうち、特願平 4-230914 号の、特に【0021】?【0022】段落及び図 21、図 22 にのみ記載された事項であり、本願は、これを基礎としていると認められる。したがって、前記電源を供給することについての判断は、前記出願の出願日である平成 4 年 8 月

31 日を基準とする。

(2)請求項に係る発明特定事項と先願発明特定事項とに相違がある場合であっても、それが課題解決のための具体化手段における微差(周知技術、慣用技術の付加、削除、転換等であって、新たな効果を奏するものでないもの)である場合はそれらの発明は実質的に同一である。

(3)電源断があった場合などにおいて、記憶装置のデータが失われたり破壊されるのを防止するために、書込中の記憶装置に必要な電源を供給することは、記憶装置一般に付随する課題、対策である。

先願明細書及び図面において言及されていないとしても先願発明の記憶装置に電源供給手段を有することは自明である。

(1)乃至(3)の点をふまえ、前記電源供給についての〈相違点〉の事項が、周知技術、慣用技術の付加、削除、転換等であって、新たな効果を奏するものでないかどうかについて、検討を進める。

例えば、特開昭 63-39013 号公報(以下、「周知例 1」という。)には次の事項が記載されている。

「電源制御部による電源切断の場合は、不揮発性メモリ(電源が断となっても消去されないメモリ)へのデータの書込みの一区切迄の終了処理を行った後、電源を切断する電子計算機」(1 頁右下欄 3 行?6 行)、「次に、ステップ 25 にて、電源を切断するために、スイッチ部 2 より電源制御部 3 にスイッチをオフしたとの情報を送出すると、・・・不揮発性メモリ 5' 内の運用領域 10 に書込み中のデータがあれば、書き込んでいる途中で中断するとデータは破壊されるので、一区切迄の終了処理を行う。・・・次にステップ 31 にて、プロセッサ 4 より電源制御部 3 に電源オフを命令し、ステップ 32 にて電源が切断される。」(2 頁右上欄 6 行?下 2 行)

また、特開昭 63-64148 号公報(以下、「周知例 2」という。)には次の事項が記載されている。

「これらメモリに情報を書込む際、電源断となったときにも情報が飛散しないように保護しなければならない。そこで、このような電源断が生じて、EEPROM に対する最大の連続情報書込みに要する時間だけは電源供給し得る装置を設けるなどして、EEPROM に対する書込みを保障するようにしていた。また、EEPROM に対する書込み速度は、読出し速度に比較してかなり遅く、また一般的に RAM に対する書込み時間に比較して非常に長い。そこで情報の半永久的保存を犠牲にして BRAM を用いるなどしていた。

[発明が解決しようとする問題点]

EEPROM は BRAM に比較して情報の保存性はすこぶる良好であるが、EEPROM に対する最大の連続情報書込みに要する時間は BRAM に比較してかなり長くなる。したがって、電源断となつてから EEPROM に書込むのに必要な時間以上に電源を保持する容量を持たねばならず、BRAM を用いた電子機器に比較して、EEPROM を用いた電子機器は大規模にならざるを得ないという欠点があった。」(2 頁左上欄下 5 行?右上欄下 5 行)

また、特開平 1-234915 号公報(以下、「周知例 3」という。)には次の事項が記載されている。

「本来、補助記憶装置 2 の目的はデータを一時的に保管するというよりも、情報処理装置 1 で処理されたデータを保管するというにある。通常、情報処理装置 1 で処理されたデータは大容量のデータであることが多いので、このデータの保管が完了されるまでの処理時間は長時間を要している。この間オペレータは何もしないでいることが多く、しかも補助記憶装置 2 が動作しているかどうかを注意深く監視していないとあたかも何の処理も行っていないかのように見えるため、電源盤 3 のスイッチ 4 をオフ状態にしてしまうこともある。

このような場合には、電源盤 3 のスイッチ 4 をオフ状態にしてしまうことによってシステム全体への電源が断となってしまう、あるいは、情報処理装置 1 と補助記憶装置 2 とに別々に電源が供給されている場合には、補助記憶装置 2 だけには電源が入っているが、情報処理装置 1 への電源が断となってしまうという状態が生ずる。

このような従来の情報処理装置に使用されている電源盤 3 では、スイッチ 4 をオフ状態とすることにより、補助記憶装置 2 の動作には関係なく、システムへの電力供給を停止していたので、この電力供給の停止により補助記憶装置 2 に保管するために転送していたデータが破壊または消失されてしまうという欠点があった。

発明の目的 本発明は上記のような従来のものの欠点を除去すべくなされたもので、外部記憶装置へのアクセス中における電源盤のスイッチがオフ状態とされることによるデータの破壊またはデータの消失を防止することができる情報処理システムの提供を目的とする。

発明の構成 本発明による情報処理システムは、情報処理装置と、前記情報処理装置からのデータを記憶する外部記憶装置とを含む情報処理システムであって、前記情報処理装置から前記外部記憶装置への前記データの転送が終了するまで該システムへの電源の供給を維持する手段を設けたことを特徴とする。」(1 頁右下欄 3 行?2 頁右上欄 3 行)と記載されている。

これらの周知例 1 乃至 3 の記載によれば、記憶装置のデータが失われたり破壊されるのを防止するために、「記憶装置へ電源を供給し、処理装置と主メモリとを含む機器は、前記処理装置と主メモリとを含む機器の電源オフをユーザから受けても、前記記憶装置が動作を終了するのを待ってから前記記憶装置への電源の供給を停止する」に相当する本願優先権主張日前の周知技術が示されている。

先願発明は、明細書及び図面の、図 1、図 2 を参照すれば、主記憶装置に接続されたプロセッサに I/O バスを介して接続された半導体外部記憶(EEPROM)システムに係る発明であり、外部記憶への書込み中の電源断対策は周知の課題であるから、そのような課題の解決方法として周知である、前記「記憶装置へ電源を供給し、前記処理装置と主メモリとを含む機器は、前記処理装置と主メモリとを含む機器の電源オフをユーザから受けても、前記記憶装置が動作を終了するのを待ってから前記記憶装置への電源の供給を停止する」技術を参酌し先願発明に付加することは、単なる周知技術、慣用技術の付加にあたる。

しかも、本願請求項 1 の発明の奏する効果も、先願発明の奏する効果と、前記周知技術による効果のそれぞれの効果を有する程度にすぎず、新たな効果を奏しているとも認められない。

よって、本願請求項 1 の発明は、先願発明と実質的に同一である。

#### 7.むすび

以上のおり、本願請求項 1 の発明は、その出願の日前の特許出願であって、その出願後に出願公開がされた上記の特許出願の願書に最初に添付された明細書又は図面に記載された発明と同一であり、しかも、この出願の発明者がその出願前の特許出願に係る上記の発明をした者と同じではなく、またこの出願の時において、その出願人が上記特許出願の出願人と同一でもないので、特許法第 29 条の 2 の規定により特許を受けることができない。よって、結論のおり審決する。